

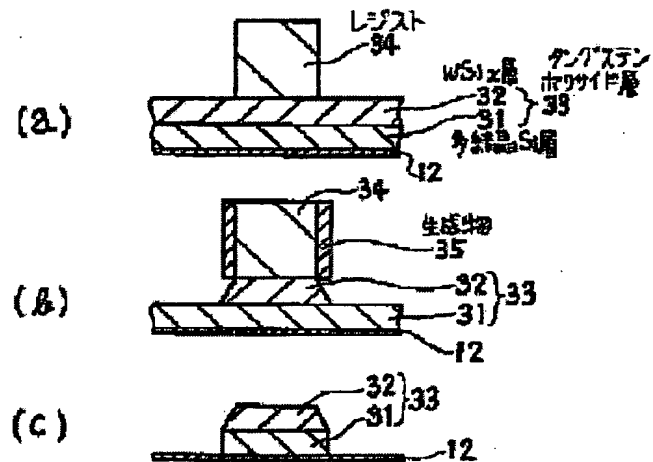
FIELD EFFECT SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Patent number: JP8288510
Publication date: 1996-11-01
Inventor: SUGANO MICHIIRO
Applicant: SONY CORP
Classification:
- international: H01L29/78; H01L21/265; H01L21/28; H01L21/3065; H01L29/43
- european:
Application number: JP19950116327 19950418
Priority number(s): JP19950116327 19950418

Report a data error here

Abstract of JP8288510

PURPOSE: To avoid the fluctuation in a specific value of the interval of a pocket layer, etc., from a gate length regardless of the facility in the flattening step of an interlayer insulating film, etc. **CONSTITUTION:** The sectional shape of ASix layer 32 out of a tungsten polycide layer 33 to be a gate electrode is in normal tapered while the sectional shape of polycrystalline Si layer 31 is rectangular. Accordingly, regardless of the facility in the flattening step of an interlayer insulating film, etc., covering a gate electrode, etc., ions do not pass through the hem part of the polycrystalline Si layer 31 in case of ion implantation, etc., thereby enabling the intervals of the pocket layer, etc., on the source and drain side to be prevented from fluctuating in the specific value to a gate length.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288510

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
21/265			21/28	3 0 1 T
21/28	3 0 1		21/265	V
21/3065			21/302	J
29/43			29/46	T

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平7-116327

(22) 出願日 平成7年(1995)4月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 菅野 道博

東京都品川区北品川6丁目7番35号 ソニー株式会社内

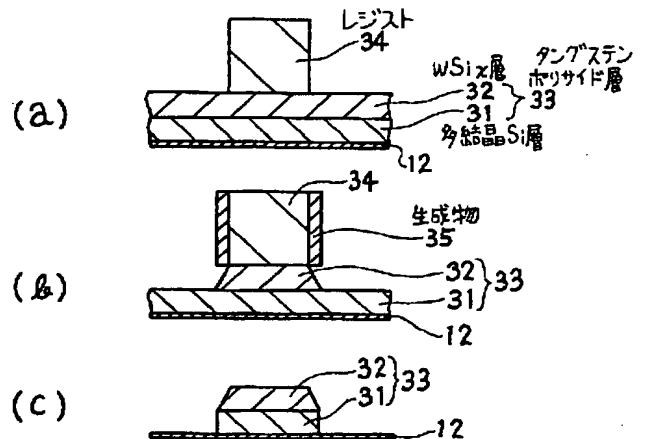
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 電界効果型半導体装置及びその製造方法

(57) 【要約】

【目的】 層間絶縁膜等の平坦化が容易であるにも拘らず、ポケット層等の間隔がゲート長に対する所定の値から変動することを防止する。

【構成】 ゲート電極になっているタングステンポリサイド層33のうちでWSix層32の断面が順テーパ状であり、多結晶Si層31の断面が矩形である。このため、ゲート電極等を覆う層間絶縁膜等の平坦化が容易であるにも拘らず、ポケット層等を形成するためのイオン注入等において多結晶Si層31の裾部をイオンが貫通せず、ソース側及びドレイン側におけるポケット層等の間隔がゲート長に対する所定の値から変動することを防止することもできる。



【特許請求の範囲】

【請求項1】 多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置において、

ゲート長方向における前記多結晶Si層の幅が均一であり、

前記ゲート長方向における前記シリサイド層の幅が前記多結晶Si層側の基部よりも頂部で狭くなっていることを特徴とする電界効果型半導体装置。

【請求項2】 多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、

前記多結晶Si層に形成すべきパターンのゲート長方向の幅よりも狭い幅を有するマスク層を前記ポリサイド層上に形成する工程と、

前記シリサイド層のエッチングに伴う生成物を前記マスク層の側面に付着させつつこの生成物と前記マスク層とをマスクにして前記シリサイド層を異方性エッチングする工程と、

前記生成物と前記マスク層とをマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴とする電界効果型半導体装置の製造方法。

【請求項3】 多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、

ゲート長方向における幅が前記シリサイド層側の基部よりも頂部で狭くなっているマスク層を前記ポリサイド層上に形成する工程と、

前記マスク層をエッチングしつつこのマスク層をマスクにして前記シリサイド層をエッチングする工程と、エッチングした前記シリサイド層をマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴とする電界効果型半導体装置の製造方法。

【請求項4】 多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、

ゲート長方向における幅が前記シリサイド層側の基部よりも頂部で広がっているマスク層を前記ポリサイド層上に形成する工程と、

前記マスク層を異方性エッチングしつつこのマスク層をマスクにして前記シリサイド層を異方性エッチングする工程と、

エッチングした前記シリサイド層をマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴とする電界効果型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、ポリサイド層でゲート電極を形成する電界効果型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図2(b)及び図6は、本願の発明の第1従来例を示している。この第1従来例では、図2

(b)及び図6(a)に示す様に、Si基板11の素子活性領域の表面にゲート酸化膜としてのSiO₂膜12を形成した後、多結晶Si層13とWSi_x層14とを順次に全面に堆積させてタングステンポリサイド層15を形成し、このタングステンポリサイド層15上でレジスト16をゲート電極のパターンに加工する。

【0003】 次に、図6(b)に示す様に、レジスト16をマスクにしてWSi_x層14を垂直に異方性エッチングし、更に、図6(c)に示す様に、レジスト16をマスクにして多結晶Si層13を垂直に異方性エッチングした後、レジスト16をアッシングで除去する。

【0004】 この第1従来例では、多結晶Si層13及びWSi_x層14の断面が共に矩形であり、タングステンポリサイド層15全体の断面も矩形である。従って、ゲート長方向におけるこれら多結晶Si層13及びWSi_x層14の幅が共に均一で例えば0.25μmであり、ゲート長方向におけるレジスト34の幅も0.25μmである。

【0005】 図2(c)は、本願の発明の第2従来例を示している。この第2従来例でも、多結晶Si層21上にWSi_x層22が積層されて成るタングステンポリサイド層23でゲート電極が形成されているが、タングステンポリサイド層23全体の断面が順テーパー状である。

【0006】

【発明が解決しようとする課題】 ところで、最小線幅が0.25μm程度になるまで電界効果型半導体装置が微細化されてくると、特に、拡散係数の大きいボロン等でソース/ドレインを形成するPチャネルトランジスタの短チャネル効果を抑制するために、900℃程度の熱処理でBPSG膜等をリフローさせる従来の平坦化技術を用いることができなくなってきた。

【0007】 そこで、高温の熱処理が不要な平坦化技術として化学的機械的研磨が用いられるようになってきているが、研磨時の応力によってクラックが発生する可能性があり、現状の化学的機械的研磨による平坦化では、信頼性の高い電界効果型半導体装置を製造することができるとは必ずしも言えない。

【0008】 従って、タングステンポリサイド層15全体の断面が矩形である上述の第1従来例では、ゲート電極等を覆う層間絶縁膜等の平坦化が容易であるとは言えず、多層配線の形成等が容易であるとは言えない。これに対して、タングステンポリサイド層23全体の断面が順テーパー状である上述の第2従来例では、ゲート電極等を覆う層間絶縁膜等の平坦化が容易である。

【0009】 一方、タングステンポリサイド層15全体の断面が矩形である上述の第1従来例では、図2(b)に示す様に、短チャネル効果を抑制するための所謂ボケ

3

ット層24を形成するために45°の斜めイオン注入を行っても、多結晶Si層13の裾部をイオン25が貫通しない。

【0010】しかし、タンゲステンポリサイド層23全体の断面が順テーパー状である上述の第2従来例では、図2(c)に示す様に、短チャネル効果を抑制するためのポケット層26を形成するために45°の斜めイオン注入を行うと、第1従来例と同じイオン注入条件でも、多結晶Si層21の裾部をイオン25が貫通する可能性がある。

【0011】このため、図2(b)と図2(c)との比較からも明らかな様に、第2従来例におけるソース側のポケット層26とドレイン側のポケット層26との間隔が、第1従来例におけるソース側のポケット層24とドレイン側のポケット層24との間隔よりも短くなって、トランジスタ特性が変動する。

【0012】更に、第2従来例では、ソース側のポケット層26とドレイン側のポケット層26とが互いにつながる可能性もあり、これでは、単にSi基板11の不純物濃度を高めただけであって、短チャネル効果の抑制というポケット層26の本来の目的を達成することができない。従って、上述の第2従来例では、所望の特性を有することが困難である。

【0013】

【課題を解決するための手段】請求項1の電界効果型半導体装置は、多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置において、ゲート長方向における前記多結晶Si層の幅が均一であり、前記ゲート長方向における前記シリサイド層の幅が前記多結晶Si層側の基部よりも

10 20 30 40 50 頂部で狭くなっていることを特徴としている。

【0014】請求項2の電界効果型半導体装置の製造方法は、多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、前記多結晶Si層に形成すべきパターンゲートのゲート長方向の幅よりも狭い幅を有するマスク層を前記ポリサイド層上に形成する工程と、前記シリサイド層のエッチングに伴う生成物を前記マスク層の側面に付着させつつこの生成物と前記マスク層とをマスクにして前記シリサイド層を異方性エッチングする工程と、前記生成物と前記マスク層とをマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴としている。

【0015】請求項3の電界効果型半導体装置の製造方法は、多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、ゲート長方向における幅が前記シリサイド層側の基部よりも頂部で狭くなっているマスク層を前記ポリサイド層上に形成する工程と、前記マスク層をエッチングしつつこのマスク層をマスクにして

4

前記シリサイド層をエッチングする工程と、エッチングした前記シリサイド層をマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴としている。

【0016】請求項4の電界効果型半導体装置の製造方法は、多結晶Si層上にシリサイド層が積層されて成るポリサイド層でゲート電極を形成する電界効果型半導体装置の製造方法において、ゲート長方向における幅が前記シリサイド層側の基部よりも頂部で広がっているマスク層を前記ポリサイド層上に形成する工程と、前記マスク層を異方性エッチングしつつこのマスク層をマスクにして前記シリサイド層を異方性エッチングする工程と、エッチングした前記シリサイド層をマスクにして前記多結晶Si層を異方性エッチングする工程とを具備することを特徴としている。

【0017】

【作用】請求項1の電界効果型半導体装置では、ゲート電極になっているポリサイド層のうちで上層側のシリサイド層の断面が順テーパー状であるので、このゲート電極等を覆う層間絶縁膜等の平坦化が容易である。

【0018】一方、ポリサイド層のうちで下層側の多結晶Si層の断面が矩形であるので、所謂ポケット層等を形成するためのイオン注入等において多結晶Si層の裾部をイオンが貫通せず、ソース側及びドレイン側におけるポケット層等の間隔がゲート長に対する所定の値から変動することを防止することもできる。

【0019】請求項2の電界効果型半導体装置の製造方法では、シリサイド層のエッチングの進行に伴って、マスク層の側面に生成物が徐々に付着してマスク層と生成物との合計の幅が広くなり、マスク層及び生成物にマスクされるシリサイド層の幅も徐々に広がっていくので、ゲート電極になるポリサイド層のうちで上層側のシリサイド層の断面を順テーパー状にすることができる。

【0020】一方、シリサイド層のエッチングが終了して多結晶Si層を異方性エッチングする段階では、マスク層の側面における生成物の幅が変化せず、マスク層と生成物との合計の幅も変化しないので、ポリサイド層のうちで下層側の多結晶Si層の断面を矩形にすることができる。

【0021】請求項3の電界効果型半導体装置の製造方法では、シリサイド層のエッチングの進行に伴って、マスク層の幅が徐々に狭くなり、マスク層にマスクされるシリサイド層の幅も徐々に狭くなっていくので、ゲート電極になるポリサイド層のうちで上層側のシリサイド層の断面を順テーパー状にすることができる。

【0022】一方、多結晶Si層を異方性エッチングする際には、マスク層ではなくシリサイド層をマスクにしており、このシリサイド層の幅は多結晶Si層の異方性エッチングの進行に伴っては変化しないので、ポリサイド層のうちで下層側の多結晶Si層の断面を矩形にする

ことができる。

【0023】請求項4の電界効果型半導体装置の製造方法では、シリサイド層の異方性エッチングの進行に伴って、シリサイド層に投影されるマスク層の幅が徐々に狭くなり、マスク層にマスクされるシリサイド層の幅も徐々に狭くなっていくので、ゲート電極になるポリサイド層のうちで上層側のシリサイド層の断面を順テーパー状にすることができる。

【0024】一方、多結晶Si層を異方性エッチングする際には、マスク層ではなくシリサイド層をマスクにしており、このシリサイド層の幅は多結晶Si層の異方性エッチングの進行に伴っては変化しないので、ポリサイド層のうちで下層側の多結晶Si層の断面を矩形にすることができる。

【0025】

【実施例】以下、MOSトランジスタに適用した本願の発明の第1～第3実施例を、図1～5を参照しながら説明する。図1、図2(a)及び図3(a)が、第1実施例を示している。この第1実施例では、図1(a)及び図2(a)に示す様に、Si基板11の素子活性領域の表面にゲート酸化膜としてのSiO₂膜12を形成した後、多結晶Si層31とWSix層32とを順次に全面に堆積させてタングステンポリサイド層33を形成する。

【0026】この第1実施例及び後述の第2及び第3実施例の何れにおいても、ゲート長方向における多結晶Si層31の幅を0.25μmにするが、この第1実施例では、ゲート長方向の幅が0.15μmのパターンのレジスト34をタングステンポリサイド層33上で加工する。

【0027】次に、図1(b)に示す様に、WSix層32のエッチング終了時点でWSix層32のエッチングに伴う生成物35がレジスト34の側面に0.05μmの厚さで付着する条件で、この生成物35とレジスト34とをマスクにして、WSix層32を垂直に異方性エッチングする。この結果、ゲート長方向における基部の幅が0.25μmで頂部の幅が0.15μmの順テーパー状にWSix層32が加工される。

【0028】次に、生成物35とレジスト34とをマスクにして多結晶Si層31を垂直に異方性エッチングした後、レジスト34をアッシングで除去し、このレジスト34と共に生成物35も除去する。この結果、図1(c)に示す様に、ゲート長方向における幅が0.25μmの矩形に多結晶Si層31が加工される。

【0029】その後、図2(a)に示す様に、短チャネル効果を抑制するための所謂ポケット層36を形成するために45°の斜めイオン注入を行う。このとき、多結晶Si層31の断面が矩形であるので、この多結晶Si層31の裾部をイオン25が貫通せず、図2(b)に示した第1従来例のポケット層24に近い形状のポケット

層36を形成することができる。

【0030】図3は、第1実施例及び第1従来例のPMOSトランジスタにおける不純物濃度の分布とゲート長に対する閾値電圧の依存性とを示している。これらの第1実施例及び第1従来例の何れにおいても、ポケット層36、24を形成するためのAsを150keVでイオン注入し、閾値電圧を調整するためにBをイオン注入している。

【0031】この図3から、第1実施例と第1従来例とで、不純物濃度の分布が略等しく、また、閾値電圧も0.01V程度しか異なっていないで略同等の特性が得られていることが分かる。従って、このことから、第1実施例におけるポケット層36の形状が第1従来例におけるポケット層24の形状に近いことが分かる。

【0032】図4が、第2実施例を示している。この第2実施例でも、図4(a)に示す様に、タングステンポリサイド層33を形成するまでは、図1に示した第1実施例と実質的に同様の工程を実行する。しかし、この第2実施例では、その後、エキシマレーザ光を用いる縮小投影露光装置でポジ型レジスト41をパターンニングする。

【0033】このパターンニングに際しても、ゲート長方向の幅を0.15μmにするが、エキシマレーザ光を用いる縮小投影露光装置でポジ型レジスト41をパターンニングすると、図4(a)に示す様に、ポジ型レジスト41の基部の幅が頂部の幅よりも広がって例えば0.25μmになる。

【0034】次に、図4(b)に示す様に、ポジ型レジスト41をエッチングしつつこのポジ型レジスト41をマスクにしてWSix層32をエッチングする。この結果、ゲート長方向における基部の幅が0.25μmで頂部の幅が0.15μmの順テーパー状にWSix層32が加工される。

【0035】次に、図4(c)に示す様に、ポジ型レジスト41をアッシングで除去し、WSix層32をマスクにして多結晶Si層31を垂直に異方性エッチングする。この結果、ゲート長方向における幅が0.25μmの矩形に多結晶Si層31が加工される。この様な第2実施例でも、図2、3に示した第1実施例の効果と同等の効果を実現することができる。

【0036】図5が、第3実施例を示している。この第3実施例でも、図5(a)に示す様に、タングステンポリサイド層33を形成するまでは、図1に示した第1実施例と実質的に同様の工程を実行する。しかし、この第3実施例では、その後、エキシマレーザ光を用いる縮小投影露光装置でネガ型レジスト42をパターンニングする。

【0037】このパターンニングに際しては、ゲート長方向の幅を0.25μmにするが、エキシマレーザ光を用いる縮小投影露光装置でネガ型レジスト42をパターンニ

7

ングすると、図5 (a) に示す様に、ネガ型レジスト42の基部の幅が頂部の幅よりも狭くなって例えば0.15 μm になる。

【0038】次に、図5 (b) に示す様に、ネガ型レジスト42を垂直に異方性エッチングしつつこのネガ型レジスト42をマスクにしてWSix層32を垂直に異方性エッチングする。この結果、ゲート長方向における基部の幅が0.25 μm で頂部の幅が0.15 μm の順テーパー状にWSix層32が加工される。

【0039】次に、図5 (c) に示す様に、ネガ型レジスト42をアッシングで除去し、WSix層32をマスクにして多結晶Si層31を垂直に異方性エッチングする。この結果、ゲート長方向における幅が0.25 μm の矩形に多結晶Si層31が加工される。この様な第3実施例でも、図2、3に示した第1実施例の効果と同等の効果を奏することができる。

【0040】なお、以上の第1～第3実施例は何れもMOSトランジスタに本願の発明を適用したものであるが、MOSトランジスタ以外の電界効果型半導体装置にも本願の発明を当然に適用することができる。

【0041】

【発明の効果】請求項1の電界効果型半導体装置では、ゲート電極等を覆う層間絶縁膜等の平坦化が容易であるので、多層配線の形成等が容易であるにも拘らず、ソース側及びドレイン側における所謂ポケット層等の間隔がゲート長に対する所定の値から変動することを防止することもできるので、所望の特性を有することもできる。

【0042】請求項2～4の電界効果型半導体装置の製造方法では、ゲート電極になるポリサイド層のうちで上層側のシリサイド層の断面を順テーパー状にすることができ、且つポリサイド層のうちで下層側の多結晶Si層の

8

断面を矩形にすることができるので、多層配線の形成等が容易であるにも拘らず所望の特性を有することもできる電界効果型半導体装置を確実に製造することができる。

【図面の簡単な説明】

【図1】本願の発明の第1実施例を工程順に示すゲート電極の側断面図である。

【図2】ポケット層が形成されたMOSトランジスタの側断面図であり、(a)は第1～第3実施例、(b)は第1従来例、(c)は第2従来例を夫々示している。

【図3】(a)は第1～第3実施例のMOSトランジスタにおける不純物濃度分布を示す等濃度線、(b)は第1従来例のMOSトランジスタにおける不純物濃度分布を示す等濃度線、(c)は第1～第3実施例及び第1従来例のMOSトランジスタのゲート長に対する閾値電圧の依存性を示すグラフである。

【図4】本願の発明の第2実施例を工程順に示すゲート電極の側断面図である。

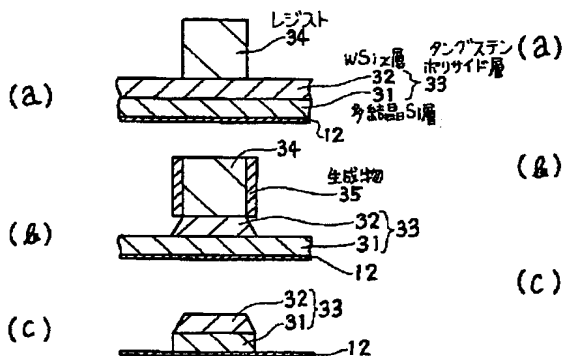
【図5】本願の発明の第3実施例を工程順に示すゲート電極の側断面図である。

【図6】本願の発明の第1従来例を工程順に示すゲート電極の側断面図である。

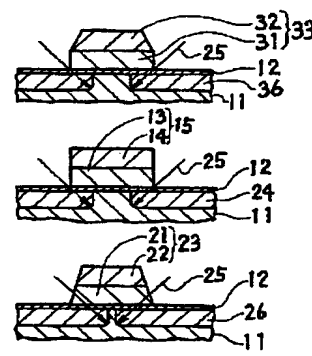
【符号の説明】

- 31 多結晶Si層
- 32 WSix層
- 33 タングステンポリサイド層
- 34 レジスト
- 35 生成物
- 41 ポジ型レジスト
- 42 ネガ型レジスト

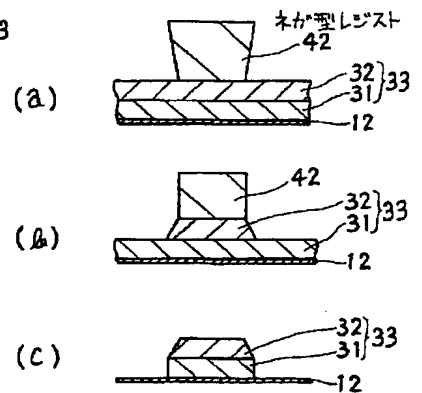
【図1】



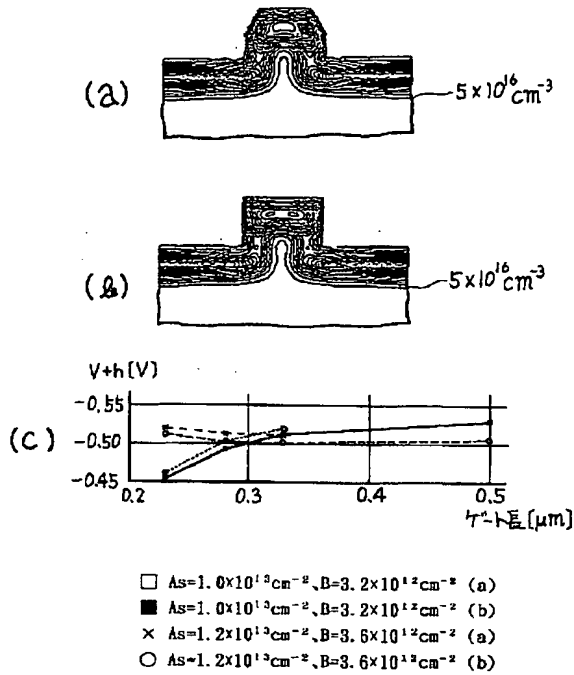
【図2】



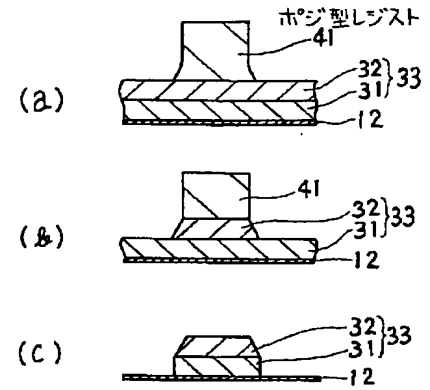
【図5】



【図3】



【図4】



【図6】

